



0280

#2
0500

PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/065,780
	Filing Date	11/18/2002
	First Named Inventor	Yaw-Ming Tsai
	Group Art Unit	
	Examiner Name	
Total Number of Pages in This Submission	Attorney Docket Number	To PPO001USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Assignment Papers (for an Application)	<input type="checkbox"/> After Allowance Communication to Group
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment / Reply	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	WINSTON HSU
Signature	<i>Winston Hsu</i>
Date	11/19/2002

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: 			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2002

Patent fees are subject to annual revision.

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number 101065780
Filing Date 11/18/2002
First Named Inventor Yaw-Ming Tsai
Examiner Name
Group Art Unit
Attorney Docket No. TOPP0001USA

METHOD OF PAYMENT

1. ☐ The Commissioner is hereby authorized to charge indicated fees and credit any overpayments to:
- Deposit Account Number 50-0801
Deposit Account Name North America International Patent Office
- ☒ Charge Any Additional Fee Required Under 37 CFR 1.16 and 1.17
☐ Applicant claims small entity status. See 37 CFR 1.27
2. ☐ Payment Enclosed:
- ☐ Check ☐ Credit card ☐ Money Order ☐ Other

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
101 740	201 370	Utility filing fee	
106 330	206 165	Design filing fee	
107 510	207 255	Plant filing fee	
108 740	208 370	Reissue filing fee	
114 160	214 80	Provisional filing fee	

SUBTOTAL (1) (\$) 0.00

2. EXTRA CLAIM FEES

Total Claims -20** = X =
Independent Claims -3** = X =
Multiple Dependent =

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
103 18	203 9	Claims in excess of 20	
102 84	202 42	Independent claims in excess of 3	
104 280	204 140	Multiple dependent claim, if not paid	
109 84	209 42	** Reissue independent claims over original patent	
110 18	210 9	** Reissue claims in excess of 20 and over original patent	

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
105 130	205 65	Surcharge - late filing fee or oath	
127 50	227 25	Surcharge - late provisional filing fee or cover sheet	
139 130	139 130	Non-English specification	
147 2,520	147 2,520	For filing a request for <i>ex parte</i> reexamination	
112 920*	112 920*	Requesting publication of SIR prior to Examiner action	
113 1,840*	113 1,840*	Requesting publication of SIR after Examiner action	
115 110	215 55	Extension for reply within first month	
116 400	216 200	Extension for reply within second month	
117 920	217 460	Extension for reply within third month	
118 1,440	218 720	Extension for reply within fourth month	
128 1,960	228 980	Extension for reply within fifth month	
119 320	219 160	Notice of Appeal	
120 320	220 160	Filing a brief in support of an appeal	
121 280	221 140	Request for oral hearing	
138 1,510	138 1,510	Petition to institute a public use proceeding	
140 110	240 55	Petition to revive - unavoidable	
141 1,280	241 640	Petition to revive - unintentional	
142 1,280	242 640	Utility issue fee (or reissue)	
143 460	243 230	Design issue fee	
144 620	244 310	Plant issue fee	
122 130	122 130	Petitions to the Commissioner	
123 50	123 50	Processing fee under 37 CFR 1.17(q)	
126 180	126 180	Submission of Information Disclosure Stmt	
581 40	581 40	Recording each patent assignment per property (times number of properties)	
146 740	246 370	Filing a submission after final rejection (37 CFR § 1.129(a))	
149 740	249 370	For each additional invention to be examined (37 CFR § 1.129(b))	
179 740	279 370	Request for Continued Examination (RCE)	
169 900	169 900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

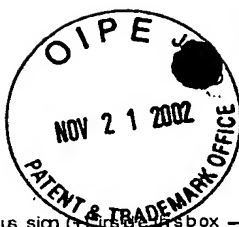
SUBMITTED BY

Name (Print/Type)	WINSTON HSU	Registration No. (Attorney/Agent)	41,526	Telephone	886-2-8923-7350
Signature	<i>Winston Hsu</i>	Date	11/19/2002		

Complete (if applicable)

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Please type a plus sign (+) in the box → ☐

PTO/SB02B (3-97)
Approved for use through 9/30/98. OMB 065-1-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION -- Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
091116634	Taiwan, R.O.C.	07/25/2002	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

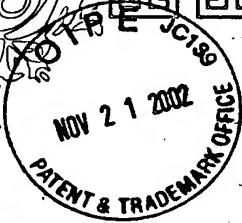
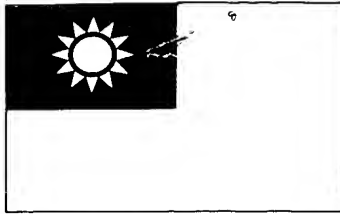
Additional provisional applications:

Application Number	Filing Date (MM/DD/YYYY)

Additional U.S. applications:

U.S. Parent Application Number	PCT Parent Number	Parent Filing Date (MM/DD/YYYY)	Parent Patent Number (if applicable)

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 07 月 25 日
Application Date

申請案號：091116634
Application No.

申請人：統寶光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 9 月 12 日
Issue Date

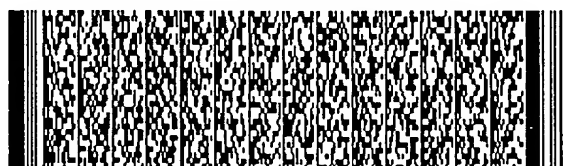
發文字號：09111017565
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種改善接觸洞圖案化的方法
	英 文	METHOD FOR IMPROVING CONTACT HOLE PATTERNING
二、 發明人	姓 名 (中文)	1. 蔡耀銘
	姓 名 (英文)	1. Tsai, Yaw-Ming
	國 籍	1. 中華民國
	住、居所	1. 台中縣烏日鄉學田路五五一號
三、 申請人	姓 名 (名稱) (中文)	1. 統寶光電股份有限公司
	姓 名 (名稱) (英文)	1. Toppoly Optoelectronics Corp.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 苗栗縣新竹科學工業園區竹南鎮仁愛路121巷5號
	代表人 姓 名 (中文)	1. 陳瑞聰
	代表人 姓 名 (英文)	1. Chen, Jui-Tsung



四、中文發明摘要 (發明之名稱：一種改善接觸洞圖案化的方法)

本發明係提供一種改善一液晶顯示面板中接觸洞圖案化的方法，該液晶顯示面板包含有一基底，一導電層設於該基底表面，以及一介電層設於該導電層表面。本發明首先於該介電層表面形成一光阻層，且該光阻層內包含有一孔洞通達至該介電層表面，接著進行一蝕刻製程，沿著該孔洞去除部分之該介電層，以形成一通達至該導電層表面之接觸洞，隨後再進行一表面處理，於該接觸洞底部之該導電層表面形成一保護層，以避免去除該光阻層時對下方之該導電層造成傷害。

英文發明摘要 (發明之名稱：METHOD FOR IMPROVING CONTACT HOLE PATTERNING)

A LCD panel is provided, the LCD panel having a substrate, a conductive layer positioned on the substrate, and a dielectric layer disposed on the surface of the conductive layer. First, a photoresist layer with an opening is formed on the dielectric layer. An etching process is then performed to form a contact hole along the opening. After that, a post treatment is performed to form a protective layer to reduce damage on the conductive layer when the photoresist layer is



四、中文發明摘要 (發明之名稱：一種改善接觸洞圖案化的方法)



英文發明摘要 (發明之名稱：METHOD FOR IMPROVING CONTACT HOLE PATTERNING)

stripped.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

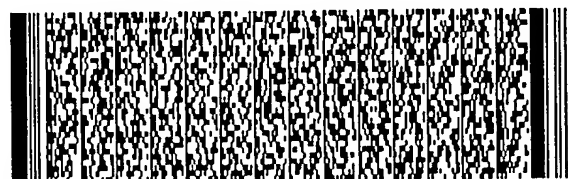
發明之領域

本發明係提供一種改善接觸洞圖案化 (contact hole patterning) 的方法，尤指一種包含有一表面處理製程的接觸洞製作方法。

背景說明

液晶顯示器具有外型輕薄、耗電量少以及無輻射污染特性，已被廣泛地應用在筆記型電腦 (notebook)、個人數位助理 (PDA) 等攜帶式資訊產品上，甚至已有逐漸取代傳統桌上型電腦的映像管 (cathode ray tube, CRT) 監視器的趨勢。在各式的液晶顯示器中，薄膜電晶體 (thin film transistor, TFT) 型液晶顯示器由於可用陣列方式主動驅動液晶顯示面板上的各像素電極，因此格外受到各界的重視。

在現今的薄膜電晶體 (thin film transistor, TFT) 製程中，電晶體與其上的金屬導線層間設有內層介電 (inter-layer dielectric, ILD) 層，用來隔離並保護液晶顯示器面板上的電路元件，且 ILD 層內設有接觸洞 (contact hole)，使該金屬導線層能填入該接觸洞而電連接至下方之電晶體。因此，資料訊號可藉由該金屬導線層經由該接觸洞內的金屬導線層傳送到電晶體的源/汲極，



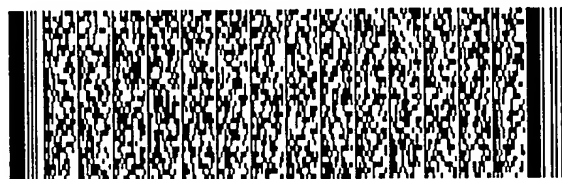
五、發明說明 (2)

以進一步控制液晶顯示器面板中各像素電極之運作。

請參考圖一至圖三，圖一至圖三為根據習知技術在一液晶顯示面板10中製作一接觸洞的方法示意圖。如圖一所示，液晶顯示面板10上包含有一基底12，一導電層14設於基底12表面，以及一介電層16設於導電層14表面。液晶顯示面板10中另設有其他電路元件，例如在導電層14上方設有複數個驅動電晶體之閘極結構(未顯示)。其中導電層14係用來作為一驅動電晶體之源/汲極，介電層16係用來隔絕驅動電晶體與其他顯示器元件，並使基底12具有一約略平坦表面。在習知製作接觸洞之方法中，首先係進行一黃光製程，以於介電層16上方形成一光阻層18，且光阻層18內包含有一通達至介電層16表面之孔洞(opening)20，用來定義接觸洞的位置與圖案。

如圖二所示，接著進行一蝕刻製程，例如乾蝕刻或濕蝕刻製程，並利用光阻層18作為罩幕層，以沿著孔洞20去除部分之介電層16，形成一通達至導電層14表面之接觸洞22。隨後如圖三所示，將光阻層18完全去除後，於接觸洞22內填入一導電材料，例如已摻雜之多晶矽層或金屬層，或成一金屬導線層或一接觸插塞，以完成該驅動電晶體或顯示器元件的電路連接。

由於液晶顯示面板10內之每一個驅動電晶體均係對應



五、發明說明 (3)

至一像素電極，因此每一個驅動電晶體之電性表現對於整個液晶顯示面板 10 是否能提供具有均勻亮度之影像均有極密切的關係。為了改善整個液晶顯示面板 10 之影像品質，習知方法於去除光阻層 18 時，多係利用含氮之鹼性溶液來作為光阻剝除溶液 (PR stripper)，以均勻去除液晶顯示面板 10 上之光阻層 18，避免光阻層 18 之殘餘物於液晶顯示面板 10 上造成污染。然而在剝除光阻之過程中，暴露於接觸洞 22 底部之導電層 14 卻極容易與上述鹼性溶液反應，使得導電層 14 表面產生被侵蝕的狀態而生成一些缺陷 (defect)，進而降低資料傳輸時的穩定度，影響產品可靠度。

發明概述

因此，本發明之主要目的在於提供一種於一液晶顯示面板上製作一接觸洞的方法，該方法包含有一表面處理製程，以於接觸洞底部之導電層表面形成一保護層，避免產生上述問題。

在本發明之最佳實施例中，該液晶顯示面板包含有一基底，一導電層設於該基底表面，以及一介電層設於該導電層表面。本發明方法係先於該介電層表面形成一光阻層，且該光阻層內包含有一孔洞通達至該介電層表面，接著進行一蝕刻製程，沿著該孔洞去除部分之該介電層，以



五、發明說明 (4)

形成一通達至該導電層表面之接觸洞，然後再進行一表面處理，以於該接觸洞底部之該導電層表面形成一保護層，最後於剝除該光阻層後，接著去除該保護層並於該介電層上方形成一導線，使該導線經由該接觸洞電連接至該導電層。

由於本發明在進行光阻剝除前，係先利用一表面處理製程於接觸洞底部之導電層表面形成一保護層，因此能避免暴露於接觸洞底部的導電層表面於光阻剝除製程中受到光阻剝除溶液的侵蝕，故能有效提昇產品之可靠度。

發明之詳細說明

請參考圖四至圖七，圖四至圖七為依據本發明在一液晶顯示面板 110 中製作一接觸洞 128 的方法示意圖。如圖四所示，液晶顯示面板 110 包含有一基底 112，複數個電晶體 118 設於基底 112 表面，以及一內層介電層 (inter layer dielectric, ILD) 122 覆蓋於電晶體 118 表面。其中每一個電晶體 118 均係用來作為液晶顯示面板 110 之驅動電晶體，且每一個電晶體 118 均包含一金屬閘極 120 設於基底 112 表面，一用來作為源極或汲極之導電層 114 設於金屬閘極 120 下方，以及一閘極氧化層 116 設於導電層 114 與金屬閘極 120 之間。在本發明之較佳實施例中，基底 112 可為一矽基底或一玻璃基材，導電層 114 係由多晶矽層或已摻雜之多

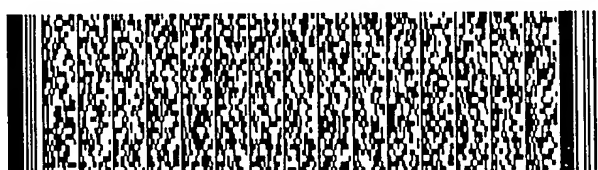


五、發明說明 (5)

晶矽層所構成，內層介電層 122 可由氮化矽或二氧化矽等介電材質所構成。在本發明方法中，首先係進行一黃光製程，以於內層介電層 122 表面形成一光阻層 124，且光阻層 124 中包含有一通達至介電層 122 表面之孔洞 (opening) 126，用來定義接觸洞之位置與圖案。

請參考圖五，接著進行一蝕刻製程，例如一乾蝕刻製程或一濕蝕刻製程，並利用光阻層 124 作為罩幕層，以沿著孔洞 126 去除下方之內層介電層 122，形成一通達至導電層 114 表面之接觸洞 128。隨後對接觸洞 128 底部之導電層 114 表面進行一表面處理，以於接觸洞 128 底部生成一保護層 130，覆蓋於接觸洞 128 底部的導電層 114 上方。其中，保護層 130 之厚度小於 100 埃，在本發明之較佳實施例中，其厚度約為 50 埃。

為了於導電層 114 表面形成保護層 130，在本發明之較佳實施例中，上述表面處理係於完成製作接觸洞 130 之蝕刻製程之後，利用紫外光或準分子紫外光 (excimer UV) 照射液晶顯示器面板 110，以氧化暴露於接觸洞 128 底部之導電層 114 表面，形成一矽氧層，用來作為保護層 130。值得注意的是，由於此表面處理之目的在於形成保護層 130 以避免導電層 114 直接暴露於後續製程環境中，因此在本發明其他實施例中亦可根據不同的製程需求，選擇適當的表面處理方式來於接觸洞 128 底部之導電層 114 表面形成保護

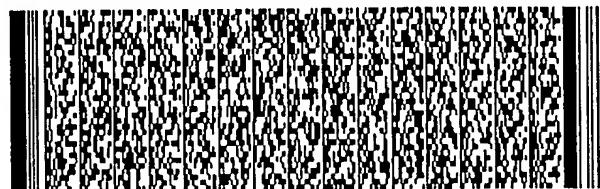
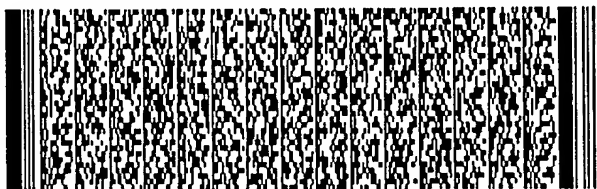


五、發明說明 (6)

層 130，而不限於上述紫外光照射的方式。例如，利用一含臭氧 (ozone) 之水溶液清洗導電層 114 表面，或是利用一熱氧化製程或是一含氧電漿來將導電層 114 表面氧化，亦可直接將該導電層 114 暴露於外界環境中，靜置約 6 至 12 小時以上，使導電層 114 表面產生氧化，以形成保護層 130。

此外，此一表面處理製程並可進一步與其他製程進行整合，以簡化製程，降低製作成本。例如當以乾蝕刻的方式來進行接觸洞蝕刻時，可在所使用的蝕刻電漿內添加含氧電漿再進行蝕刻，則能夠在同一製程中，一併生成接觸洞 128 與保護層 130。

請參考圖六，接著以一鹼性溶液，例如一含有氨的鹼性溶液，浸泡並清洗液晶顯示面板 110，以將液晶顯示面板 110 表面的光阻層 124 剝除。之後會去除接觸洞 128 底部的保護層 130，再於接觸洞 128 內形成一導電層以電連接至導電層 114。如圖六所示，可於內層介電層 122 上方沉積一導電材料以形成一導線 132，其中導線 132 係為一資料匯流排線 (data bus line)，且部分填入接觸洞 128 內，以電連接至電晶體 118。或者亦可如圖七所示，利用化學氣相沉積 (CVD) 的方式於接觸洞 128 內填入一導電材料以形成一接觸插塞 (contact plug) 134，再藉由接觸插塞 134 與外部電路進行電連接。在本發明之較佳實施例中，係利用稀釋的氟化氫溶液 (DHF) 來去除保護層 130 並藉由一化學氣相沉積

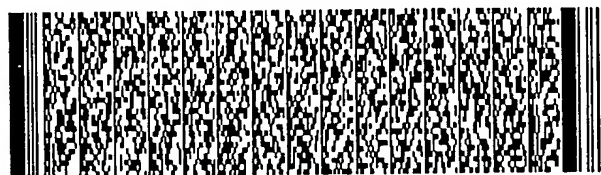
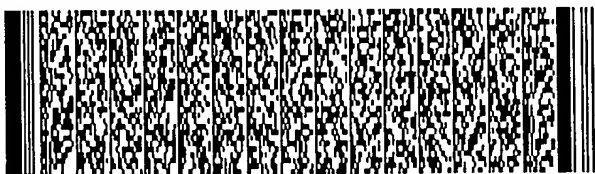


五、發明說明 (7)

(CVD)製程來形成導線 132，然而亦可視製程之需要改用其他的方法來去除保護層 130與製作導線 132或接觸插塞 134，例如可藉由一濺鍍製程直接去除保護層 130，並於接觸洞 128內形成導線 132或接觸插塞 134。

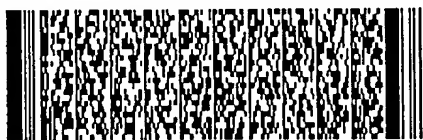
本發明係在形成接觸洞 128後，進行一表面處理製程，以於接觸洞 128底部的導電層 114上方形成一保護層 130，因此在後續的光阻剝除過程中，將能有效避免所用來剝除光阻的鹼性溶液對導電層 114造成侵害。此外，以上所述雖然是以一液晶顯示器面板作為一較佳實施例，然而本發明之接觸洞的製作方法並不侷限於液晶顯示器面板之製作，舉凡各式會利用到接觸洞作為內部連接通道之設計，皆為本發明之應用範圍，例如各種半導體晶片中接觸洞之製作，尤其是在半導體晶片表面已包含有金屬結構而需用鹼性溶液來去除定義接觸洞的光阻層時，均可利用本發明之方法來進行。

相較於習知接觸插塞的製作方法，本發明之接觸插塞製作方法包含有一表面處理製程，亦即於形成接觸洞後，先藉由該表面處理製程來形成一保護層，之後才利用鹼性液剝除光阻層，因此能克服習知技術中導電層受到鹼性溶液傷害的問題，有效提昇產品的可靠度以及利用接觸插塞進行資料傳輸的穩定度。



五、發明說明 (8)

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所作之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一至圖三為習知技術製作一接觸洞的方法示意圖。

圖四至圖七為本發明製作一接觸洞的方法示意圖。

圖示之符號說明

10 液晶顯示面板

14 導電層

18 光阻層

22 接觸洞

112 基底

116 閘極氧化層

120 金屬閘極

124 光阻層

128 接觸洞

132 導線

12 基底

16 介電層

20 孔洞

110 液晶顯示面板

114 導電層

118 電晶體

122 內層介電層

126 孔洞

130 保護層

134 接觸插塞



六、申請專利範圍

1. 一種改善一液晶顯示面板 (liquid crystal display, LCD) 中接觸洞圖案化 (contact hole patterning) 的方法，該液晶顯示器面板包含有一基底 (substrate)，一導電層設於該基底表面，以及一介電層設於該導電層表面，該方法包含有下列步驟：

於該介電層表面形成一光阻層，且該光阻層內包含有一孔洞通達至該介電層表面；

進行一蝕刻製程，沿著該孔洞去除部分之該介電層，以形成一通達至該導電層表面之接觸洞；

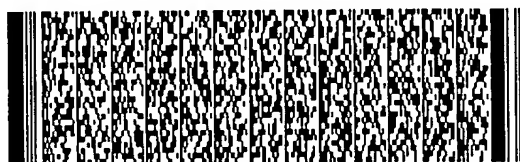
進行一表面處理，以於該接觸洞底部之該導電層表面形成一保護層；以及

去除該光阻層。

2. 如申請專利範圍第 1 項之方法，其中該方法於去除該光阻層後另包含一去除該保護層之步驟。

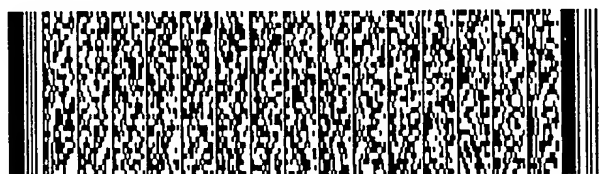
3. 如申請專利範圍第 1 項之方法，其中該方法於去除該光阻層後會再於該介電層表面形成一資料匯流線 (data bus line)，且該資料匯流線係部分填入該接觸洞以電連接至該導電層。

4. 如申請專利範圍第 1 項之方法，其中該方法於去除該光阻層後會再於該接觸洞內形成一接觸插塞 (contact plug)。



六、申請專利範圍

5. 如申請專利範圍第4項之方法，其中該接觸插塞係作為該液晶顯示面板之一驅動電晶體以及一資料匯流線(data bus line)之間之電連接。
6. 如申請專利範圍第1項之方法，其中該蝕刻製程係為一乾蝕刻製程。
7. 如申請專利範圍第1項之方法，其中該蝕刻製程係為一濕蝕刻製程。
8. 如申請專利範圍第1項之方法，其中該表面處理係利用一紫外光照射該導電層表面，以形成該保護層。
9. 如申請專利範圍第1項之方法，其中該表面處理係利用一含臭氧(ozone)之水溶液清洗該導電層表面，以形成該保護層。
10. 如申請專利範圍第1項之方法，其中該表面處理係為一熱氧化製程。
11. 如申請專利範圍第1項之方法，其中該表面處理係直接將該導電層暴露於外界環境中，靜置約6至12小時以上，使該導電層表面發生氧化，以形成該保護層。



六、申請專利範圍

12. 如申請專利範圍第1項之方法，其中該表面處理係利用一含氧電漿氧化該導電層表面，以形成該保護層。

13. 如申請專利範圍第1項之方法，其中該導電層係為一多晶矽層。

14. 如申請專利範圍第1項之方法，其中該導電層係為一非晶矽層。

15. 如申請專利範圍第1項之方法，其中該保護層係為一矽氧層。

16. 如申請專利範圍第1項之方法，其中該方法係利用一鹼性溶液去除該光阻層。

17. 如申請專利範圍第1項之方法，其中該保護層係用來避免該導電層於去除該光阻層時受到損害。

18. 如申請專利範圍第1項之方法，其中該導電層係作為液晶顯示器面板之一驅動電晶體之汲極或源極。

19. 如申請專利範圍第1項之方法，其中該保護層之厚度約小於100埃。



六、申請專利範圍

20. 一種改善一半導體晶片中接觸洞圖案化 (contact hole patterning) 的方法，該半導體晶片包含有一基底 (substrate)，一導電層設於該基底表面，以及一介電層設於該導電層表面，該方法包含有下列步驟：

於該介電層表面形成一光阻層，且該光阻層內包含有一孔洞通達至該介電層表面；

進行一蝕刻製程，沿著該孔洞去除部分之該介電層中以形成一通達至該導電層表面之接觸洞；

進行一表面處理，以於該接觸洞底部之該導電層表面形成一保護層；以及

去除該光阻層。

21. 如申請專利範圍第 20 項之方法，其中於去除該光阻層後該方法另包含一去除該保護層之步驟。

22. 如申請專利範圍第 20 項之方法，其中該方法於去除該光阻層後會再於該介電層表面形成一資料匯流線 (data bus line)，且該資料匯流線係部分填入該接觸洞以電連接至該導電層。

23. 如申請專利範圍第 20 項之方法，其中該方法於去除該光阻層後會再於該接觸洞內形成一接觸插塞 (contact plug)。



六、申請專利範圍

24. 如申請專利範圍第 20 項之方法，其中於形成該光阻層前該方法另包含一開極製程，以於該半導體晶片表面形成一開極。

24. 如申請專利範圍第 20 項之方法，其中該開極係為一金屬開極。

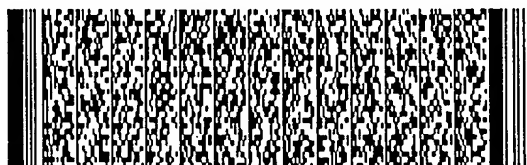
25. 如申請專利範圍第 20 項之方法，其中該蝕刻製程係為一乾蝕刻製程。

26. 如申請專利範圍第 20 項之方法，其中該蝕刻製程係為一濕蝕刻製程。

27. 如申請專利範圍第 20 項之方法，其中該表面處理係利用一紫外光照射該導電層表面，以形成該保護層。

28. 如申請專利範圍第 20 項之方法，其中該表面處理係利用一含臭氣 (ozone) 之水溶液清洗該導電層表面，以形成該保護層。

29. 如申請專利範圍第 20 項之方法，其中該表面處理係為一熱氧化製程。



六、申請專利範圍

30. 如申請專利範圍第20項之方法，其中該表面處理係利用一含氧電漿氧化該導電層表面，以形成該保護層。

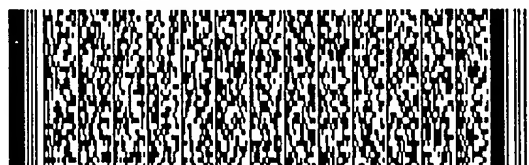
31. 如申請專利範圍第20項之方法，其中該表面處理係直接將該導電層暴露於外界環境中，靜置約6至12小時以上，使該導電層表面發生氧化，以形成該保護層。

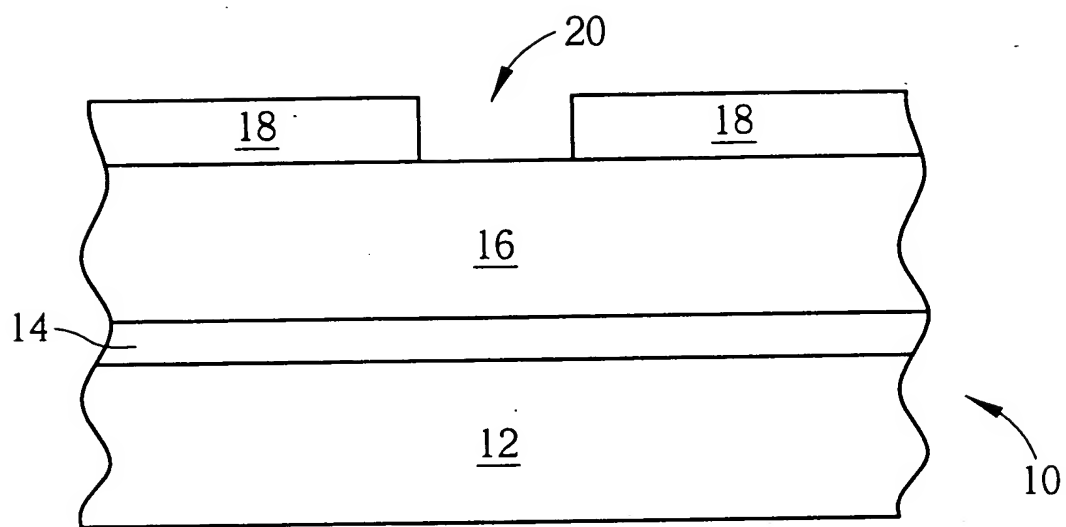
32. 如申請專利範圍第20項之方法，其中該導電層係為一多晶矽層。

33. 如申請專利範圍第20項之方法，其中該保護層係為一矽氧層。

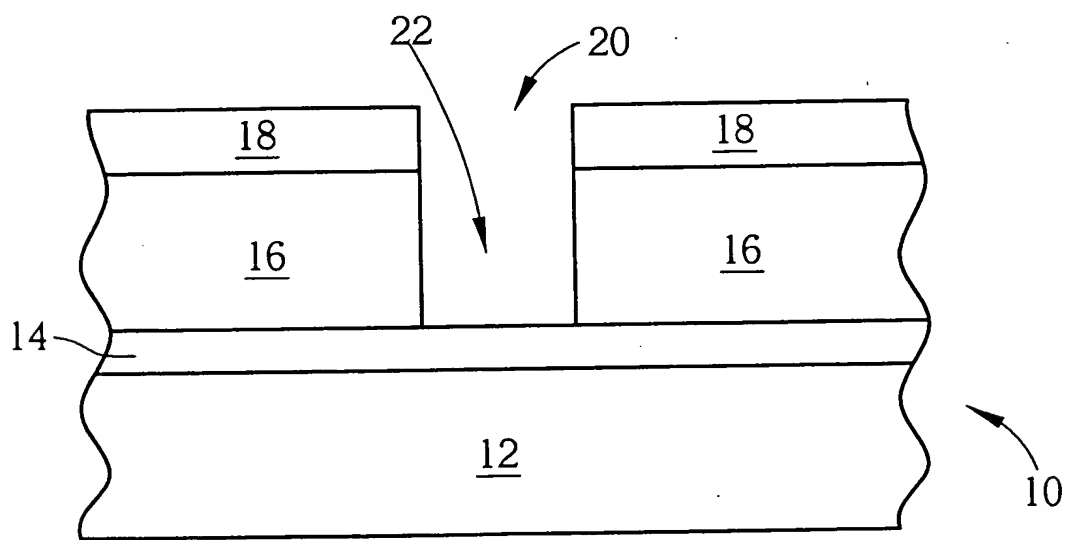
34. 如申請專利範圍第20項之方法，其中該方法係利用一鹼性溶液去除該光阻層。

35. 如申請專利範圍第20項之方法，其中該導電層係用來作為一汲極或一源極。

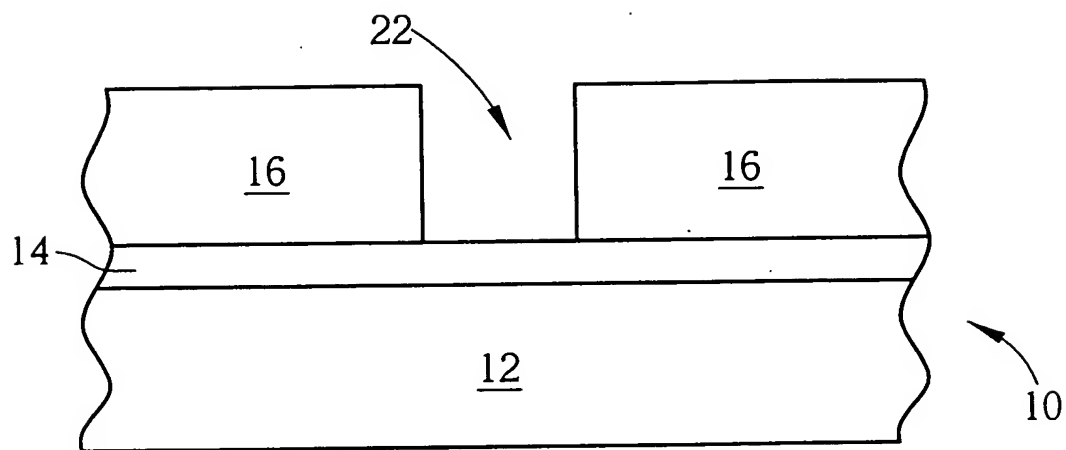




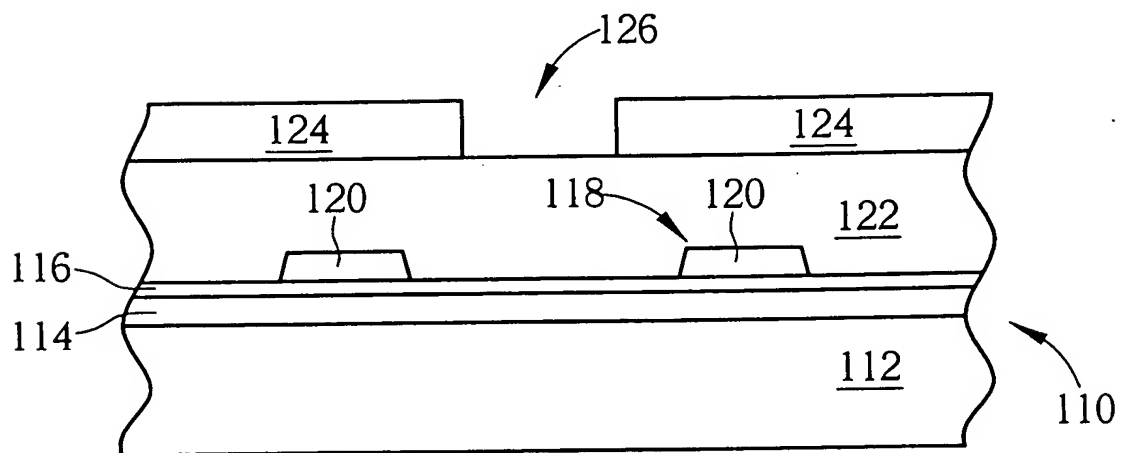
圖一



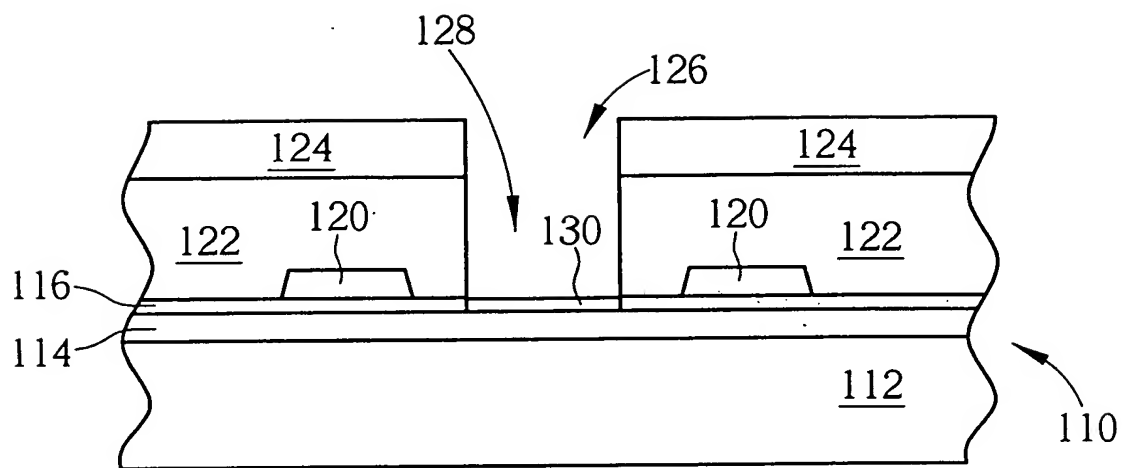
圖二



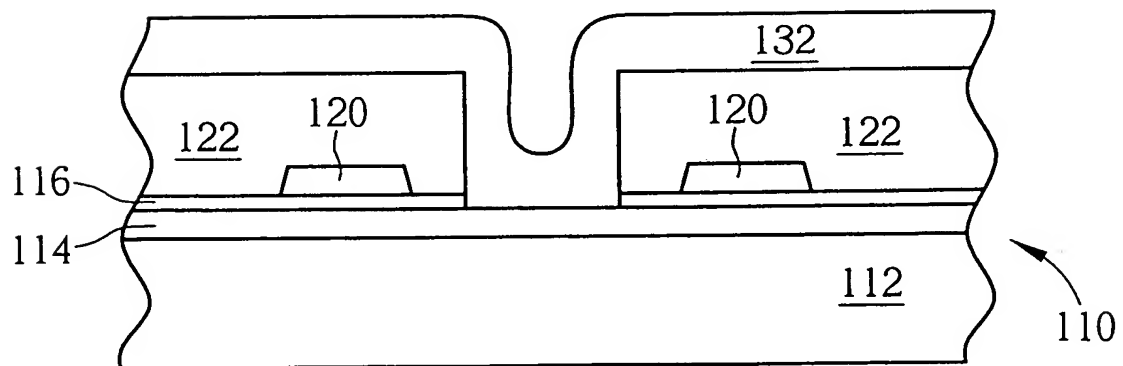
圖三



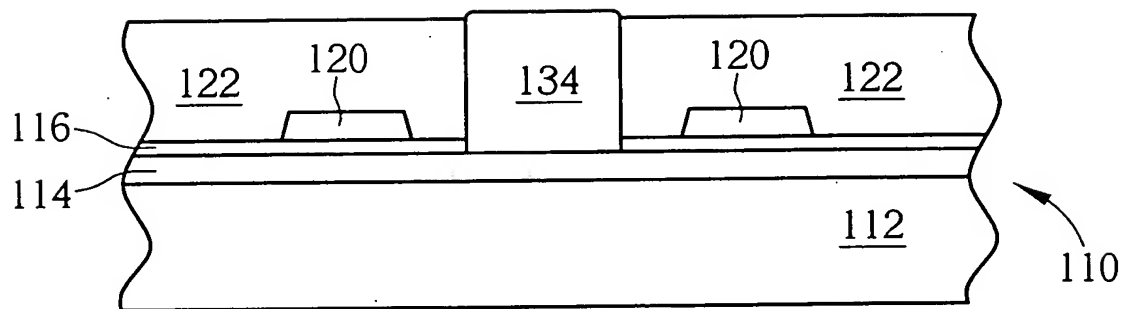
圖四



圖五



圖六




圖七



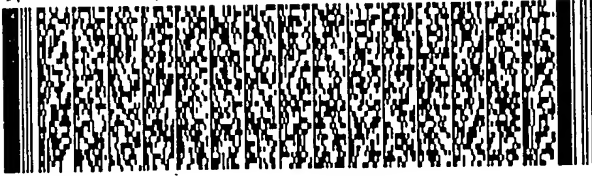
100

[illegible]

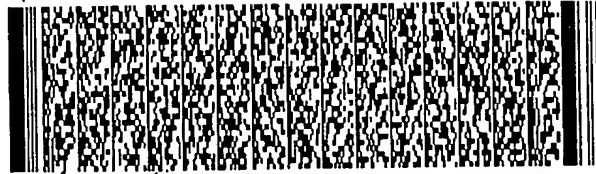
100



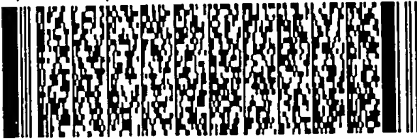
第 11/19 頁



第 11/19 頁



第 12/19 頁



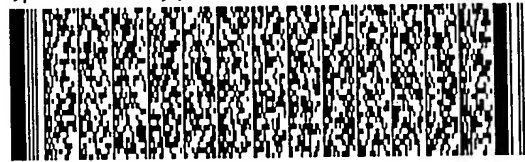
第 13/19 頁



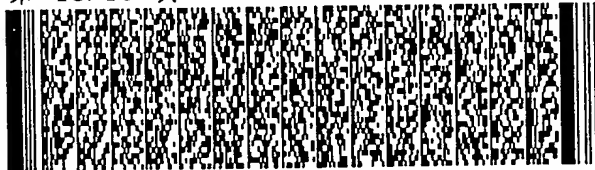
第 14/19 頁



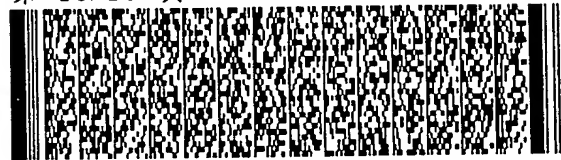
第 14/19 頁



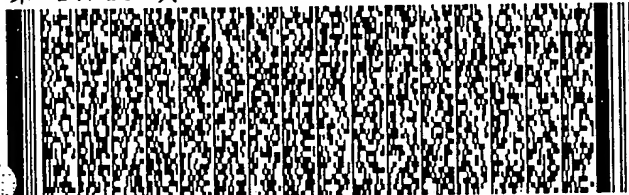
第 15/19 頁



第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

